

⑫ 公開特許公報(A)

昭64-73771

⑬ Int. Cl.

H 01 L 29/78
27/10

識別記号

3 7 1
4 3 3

庁内整理番号

7514-5F
8624-5F

⑭ 公開 昭和64年(1989)3月20日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭62-229538

⑰ 出 願 昭62(1987)9月16日

⑱ 発 明 者 鈴 木 爾 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 基板の表面に2つの第1ゲート絶縁膜を所定間隔だけ離して設け、一方の第1ゲート絶縁膜上に第1ゲート電極を、他方の第1ゲート絶縁膜上に第2ゲート電極をそれぞれ設け、前記基板の表面の第1ゲート電極と第2ゲート電極の間に、前記第1ゲート絶縁膜より薄い第2ゲート絶縁膜を設け、該第2ゲート絶縁膜上に、前記第1及び第2ゲート電極のそれぞれから絶縁し、かつ縁部が重なるようにしてフローティングゲート電極を設け、前記第1ゲート電極及び第2ゲート電極のそれぞれの側部にソース、ドレインを設けてメモリセルを構成したことを特徴とする半導体集積回路装置。

2. 前記メモリセルの情報の書き込みは、基板の表面から前記第2ゲート絶縁膜を通してフローティングゲート電極内にキャリアを蓄積すること

により行い、情報の消去は、前記フローティングゲート電極から前記第2ゲート絶縁膜を通して基板内へキャリアを放出することにより行うことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 前記第1及び第2ゲート絶縁膜は、基板表面の熱酸化による酸化シリコン膜からなることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

4. 前記第1及び第2ゲート電極及びフローティングゲート電極の表面は、それらの表面の熱酸化による酸化シリコン膜が覆っていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

5. 前記第1及び第2ゲート電極とフローティングゲート電極の間は、第1及び第2ゲート電極の表面を高温で熱酸化して形成した酸化シリコン膜からなる層間絶縁膜が絶縁していることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

6. 前記第2ゲート絶縁膜は、第1ゲート絶縁膜、第1及び第2ゲート電極、第1及び第2ゲート電極とフローティングゲート電極の間を絶縁する層間絶縁膜のそれぞれを形成した後に、前記第1及び第2ゲート電極とフローティングゲート電極の間を絶縁している層間絶縁膜の形成温度より低い温度で基板の表面を熱酸化して形成したものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、情報の書き込み及び消去を電気的に行うEEPROMに関する。

〔従来技術〕

EEPROMのメモリセルの一つに、FLOTOX(Floating Gate Tunnel Oxide)と呼ばれるものがあり、その構造図が、例えば、エレクトロニクス、1986年8月21日号、p47～56(Electronics August 21, 1986)、またはサイエンスフォーラム社発行、「超LSIデバイスハンド

きる。ところが、第1ゲート絶縁膜は、基板の表面の熱酸化で形成するものであり、比較的低温で熱酸化した方が良質の膜を得ることができる。すなわち、第1ゲート絶縁膜の形成温度より第2ゲート絶縁膜の形成温度の方が高い。このため、第1ゲート絶縁膜が、第2ゲート絶縁膜の形成時に軟化し、膜質が劣化してしまう。

本発明の目的は、製造工程中にゲート絶縁膜の膜質を劣化させることのない構造のメモリセルを提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、基板の表面に2つの第1ゲート絶縁膜を所定間隔だけ離して設け、一方の第1ゲート絶縁膜上に第1ゲート電極を、他方の第1ゲート

ブック)、昭和58年11月28日発行、p56に記載されている。その概要は、基板の表面に第1ゲート絶縁膜を形成し、この上にフローティングゲート電極を設け、さらにこの上に第2ゲート絶縁膜を介してコントロールゲート電極を設けている。前記第1ゲート絶縁膜の一部は、100～150Å程度に非常に薄くされて、キャリアがその膜厚の薄い部分からトンネル現象によってフローティングゲート電極中に寄込まれるようになっている。

〔発明が解決しようとする問題点〕

本発明者は、FLOTOXタイプのメモリセルを検討した結果、次の問題点を見出した。

前記フローティングゲート電極は多結晶シリコン膜で形成される。そして、フローティングゲート電極とコントロールゲート電極の間の第2ゲート絶縁膜は、フローティングゲート電極の熱酸化で形成する。このとき、第2ゲート絶縁膜の膜質は、フローティングゲート電極の熱酸化の温度をできるだけ高くした方が良質の膜を得ることがで

絶縁膜上に第2ゲート電極をそれぞれ設け、前記基板の表面の第1ゲート電極と第2ゲート電極の間に、前記第1ゲート絶縁膜より薄い第2ゲート絶縁膜を設け、該第2ゲート絶縁膜上に、前記第1及び第2ゲート電極のそれぞれから絶縁し、かつ縁部が重なるようにしてフローティングゲート電極を設け、前記第1ゲート電極及び第2ゲート電極のそれぞれの側部にソース、ドレインを設けてメモリセルを構成する。

〔作用〕

上述したメモリセルの構造によれば、第2ゲート絶縁膜が、第1及び第2ゲート電極とフローティングゲート電極の間の薄い層間絶縁膜を高湿の熱酸化で形成した後に、基板表面を低温で熱酸化して形成することができるので、第2ゲート絶縁膜にその形成時の温度より高い温度が加わることがなくなり、劣化を防止することができる。

〔発明の実施例〕

以下、本発明の一実施例のEEPROMのメモリセルを説明する。

まず、メモリセルの構造を説明する。

第1図は、前記メモリセルの平面図であり、メモリセルを2ビット示している。

第2図は、第1図のA-A切断線における断面図である。

第1図及び第2図において、1はN⁺単結晶シリコンからなる基板であり、その上にメモリセルが構成されるP⁺ウエル領域15が設けてある。2はフィールド絶縁膜であり、3はPチャネルストップパである。

本実施例のメモリセルは、基板1の熱酸化による酸化シリコン膜からなる2つの第1ゲート絶縁膜5、この上に所定間隔だけ離して設けた第1ゲート電極（第1ワード線）6と第2ゲート電極

（第2ワード線）7、基板1の第1ゲート電極6と第2ゲート電極7の間の表面の熱酸化による酸化シリコン膜からなる第2ゲート絶縁膜4、この第2ゲート絶縁膜4の上に設けたフローティングゲート電極8、第1ゲート電極6及び第2ゲート電極7とフローティングゲート電極8の間を絶縁

8がオーバーラップしている。第1ゲート絶縁膜5の膜厚は300～400Å程度、第2ゲート絶縁膜4の膜厚は100Å程度、薄い層間絶縁膜9の膜厚は500Å程度になっている。

11は例えば酸化シリコン膜の上にリンシリケートガラス（PSG）膜を積層して構成した層間絶縁膜である。N⁺半導体領域10Bには、接続孔12を通してアルミニウムからなる第1セレクト線（データ線）13が接続し、N⁺半導体領域10Aには接続孔12を通してアルミニウムからなる第2セレクト線14が接続している。

次に、メモリセルの動作を説明する。なお、実施例の最後に、P⁺ウエル15、第1ゲート電極6、第2ゲート電極7、第1セレクト線13、第2セレクト線14に印加される電位を表にして示す。なお、この表において、書き込み禁止とは、書き込みがなされるメモリセルと同一の第1ワード線WLに接続したメモリセルで、書き込みを行ってはいないメモリセルを意味している。

情報の書き込みは、P⁺ウエル15をV_{DD}電位例え

し、またそれらの表面を覆っている薄い層間絶縁膜9、第1ゲート電極6及び第2ゲート電極7の側部に形成したN⁺半導体領域10A、N⁺半導体領域10Bとで構成している。N⁺半導体領域10Aが読み出し時のソース、N⁺半導体領域10Bが読み出し時のドレインである。第1ゲート電極6と第2ゲート電極7は第1層目の多結晶シリコン層、フローティングゲート電極8は第2層目の多結晶シリコン層かなっている。ただし、これら第1ゲート電極6、第2ゲート電極7、フローティングゲート電極8は、多結晶シリコン層の上にMo、W、Ta、Ti等の高融点金属膜又はそれら高融点金属のシリサイド膜を積層して構成することもできる。薄い層間絶縁膜9は、第1ゲート電極6、第2ゲート電極7、フローティングゲート電極8のそれぞれの表面を熱酸化して形成したものである。ここで、第1ゲート電極6すなわち第1ワード線WLは、第1図に示しているように、フィールド絶縁膜2の上において、四角形状に大きなパターンにされ、またこの上にフローティングゲート電極

は-10～-15V、第1ゲート電極6をV_{cc}電位例えば5V、第1セレクト線13をV_{DD}電位にし、フローティングゲート電極8とその下のチャネル部分の間に高電界を形成することにより、基板1側から第2ゲート絶縁膜4を通してフローティングゲート電極8中へキャリア電子を注入して行う。このとき、書き込み禁止のメモリセルでは、第1セレクト線13をV_{cc}にすることにより、フローティングゲート8とその下のチャネル部分との間の電位差を0Vにして、キャリア電子が注入されないようにする。

読み出しは、第1ゲート電極6及び第2ゲート電極7のそれぞれをV_{cc}、第1セレクト線13をV_{cc}、第2セレクト線14をV_{ss}例えば0Vにすることにより行う。フローティングゲート電極8中にキャリア電子が注入されたメモリセルでは、フローティングゲート電極8にチャネルが形成されないで、ハイレベル（H）の情報が読み出される。一方、フローティングゲート電極8中にキャリア電子が注入されていないメモリセルでは、

フローティングゲート電極8下にチャネルが形成されるので、ロウレベル(L)の情報が読み出される。

情報の消去は、第1セレクト線13、第2セレクト線14、ウエル領域15のそれぞれをVcc電位にし、第1ゲート電極6をVss電位にして、フローティングゲート電極8中のキャリア電子を基板1中へ放出することにより行う。

次に、メモリセルの形成方法を説明する。

第3図乃至第11図は、前記メモリセルの製造工程における断面図である。

第3図に示すように、まず、基板1のメモリセルが形成される領域にPウエル領域15を形成し、さらにフィールド絶縁膜2、Pチャネルストッパ3をそれぞれ形成する。次に、900～850℃程度の熱酸化によって、基板1（ウエル15を含む）の表面のフィールド絶縁膜2から露出している部分に第1ゲート絶縁膜5を形成する。基板1の熱酸化は、それによって形成される酸化シリコン膜の膜質を良くするため、多結晶シリコン層の熱酸

している部分をエッチングして、基板1の表面を露出させる。

次に、第7図に示すように、基板1の表面を800～900℃程度の比較的に低い温度で酸化して、非常に薄い第2ゲート絶縁膜4を形成する。このように、比較的に低い温度で基板1を熱酸化することにより、膜質の良いすなわち耐圧の高い第2ゲート絶縁膜4を形成するようにしている。

この後の工程から分るように、本願のメモリセルでは、第2ゲート絶縁膜4を形成した後、その形成温度より高い温度を加えずにメモリセルを形成することができる。

次に、第8図に示すように、例えばCVDによって基板1上の全面に第2層目の多結晶シリコン層を形成し、これにP又はAsを例えばイオン打込みで導入した後、これに800～900℃程度のアニールを施し、パターニングしてフローティングゲート電極8を形成する。

次に、第9図に示すように、基板1の表面のフィールド絶縁膜2、第1ゲート電極6、第2ゲ

化温度より低温で行う。

次に、第4図に示すように、例えばCVD(600～700℃)によって基板1上の全面に第1層目の多結晶シリコン層を形成し、これに例えばイオン打込みによってP又はAsを導入し、800～900℃程度のアニールを施した後、この多結晶シリコン膜をパターニングして第1ゲート電極（第1ワード線）6及び第2ゲート電極（第2ワード線）7を形成する。なお、多結晶シリコン層へのP又はAsの導入は、800℃程度の熱拡散で行うこともできる。

次に、第5図に示すように、第1ゲート電極6及び第2ゲート電極7のそれぞれの表面を、1000～1100℃程度の高温で酸化して薄い層間絶縁膜9を形成する。層間絶縁膜9の膜質を良くするため、このように高温で酸化する。

次に、第6図に示すように、マスクを用いないウェットエッチングによって、第1ゲート絶縁膜5のフィールド絶縁膜2、薄い層間絶縁膜9、第1及び第2ゲート電極6、7のそれぞれから露出

ト電極7、フローティングゲート電極8、薄い層間絶縁膜9のそれぞれから露出している部分を800～900℃程度で酸化して、第2ゲート絶縁膜4の露出していた部分の膜厚の増加を図ることにより、その露出部分を第1ゲート絶縁膜5とする。このとき、フローティングゲート電極8の表面も酸化されて薄い層間絶縁膜9が形成される。ここでの酸化は、主に基板1の表面の第1ゲート絶縁膜5の修正のために行われるので、比較的低温である。

次に、第10図に示すように、第1ゲート電極6、第2ゲート電極7、フローティングゲート電極8、薄い層間絶縁膜9のそれぞれをマスクとして、基板1の表面へイオン打込みによってAsを導入して、N'半導体領域10A、10Bを形成する。イオン打込みの後、800～900℃程度のアニールによってN'半導体領域10A、10Bの活性化を図る。

次に、第11図に示すように、例えばCVD又はプラズマCVDによって基板1上の全面に酸化

シリコン膜とPSG膜を積層して層間絶縁膜11を形成する。この後、800℃程度の温度で層間絶縁膜11のベークを行う。

この後、第2図に示しているように、接続孔12を形成し、N⁺半導体領域10A、10B中へ再度N型不純物例えばPを導入して接合の深さを深くする。この後、800～900℃のアニールにより不純物の活性化を図る。次に、例えばスパッタにより、アルミニウム膜を形成し、これをパターニングして、第1セレクト線13、第2セレクト線14のそれぞれを形成する。この後、400～450℃程度のH₂アニールを行う。この後、図示していないが、例えばプラズマCVDによって、層間絶縁膜11の上に窒化シリコン膜と酸化シリコン層を積層して最終保護膜を形成する。

このように、本願のメモリセルは、第2ゲート絶縁膜4を形成した後、その形成時の温度より高い温度が加わらない構造になっている。

以下、余白

V_{DD} ; -10V ~ -15V

以下、余白

メモリセルへの印加電位

	書き込み	みせ 書き止込	読み出し	消去
線レ第 ク1 トセ	V _{DD}	5V	5V	5V
線レ第 ク2 トセ	5V	5V	0V	5V
電ゲ第 極1 ト	5V	5V	5V	V _{DD}
電ゲ第 極2 ト	V _{DD}	V _{DD}	5V	5V
ウ 領域	V _{DD}	V _{DD}	V _{DD}	5V

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

基板の表面に2つの第1ゲート絶縁膜を所定間隔だけ離して設け、一方の第1ゲート絶縁膜上に第1ゲート電極を、他方の第1ゲート絶縁膜上に第2ゲート電極をそれぞれ設け、前記基板の表面の第1ゲート電極と第2ゲート電極の間に、前記第1ゲート絶縁膜より薄い第2ゲート絶縁膜を設け、該第2ゲート絶縁膜上に、前記第1及び第2ゲート電極のそれぞれから絶縁し、かつ該部が重さなるようにしてフローティングゲート電極を設け、前記第1ゲート電極及び第2ゲート電極のそれぞれの側部にソース、ドレインを設けてメモリセルを構成したことにより、第2ゲート絶縁膜が、

第1及び第2ゲート電極とフローティングゲート電極の間の薄い層間絶縁膜を高温の熱酸化で形成した後に、基板表面を低温で熱酸化して形成することができるので、製造工程中にゲート絶縁膜の膜質を劣化させることのない構造のメモリセルを得ることができる。

4. 図面の簡単な説明

第1図は、メモリセルの平面図、

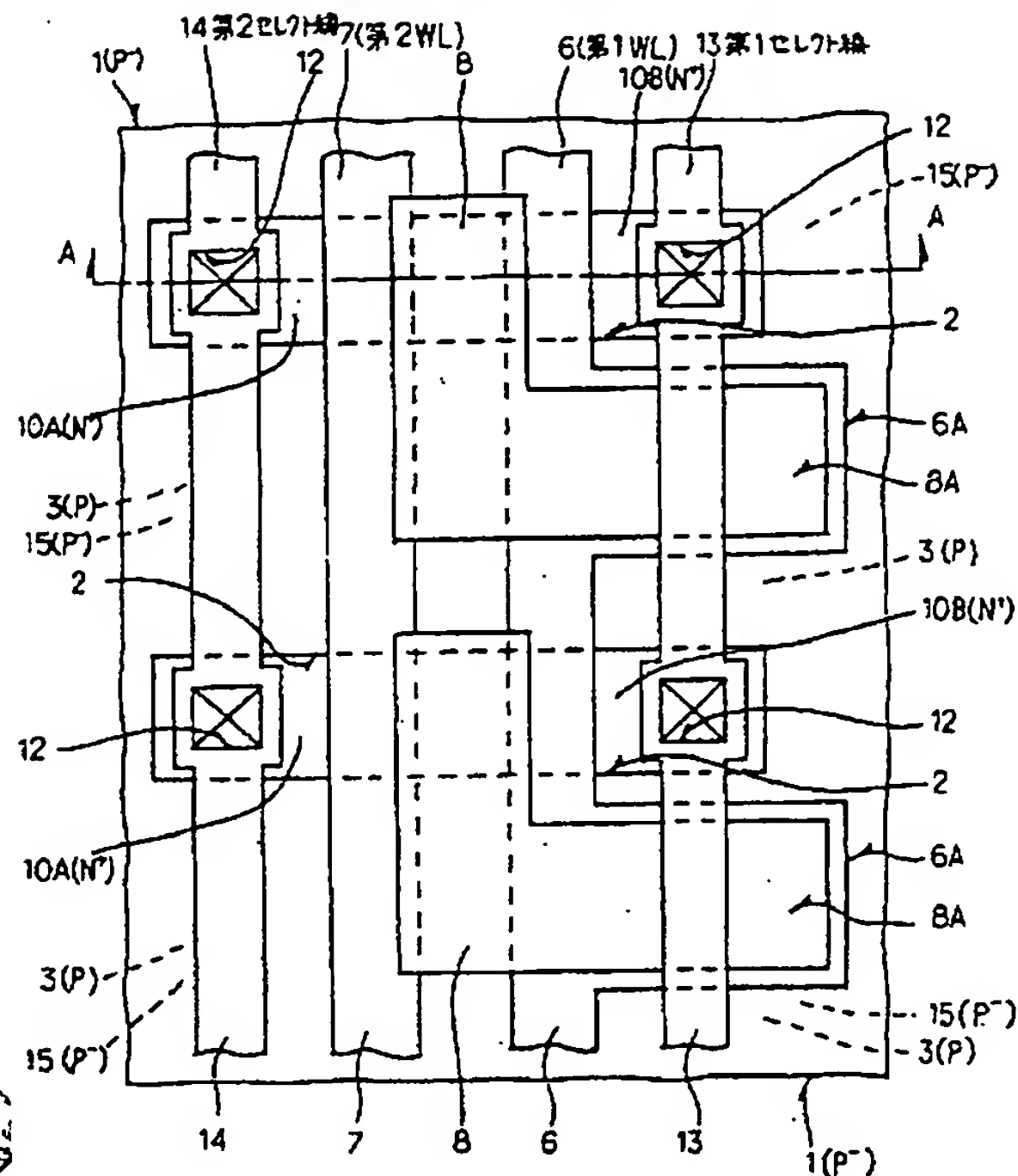
第2図は、第1図のA-A切断線における断面図、

第3図乃至第11図は、前記メモリセルの製造工程における断面図である。

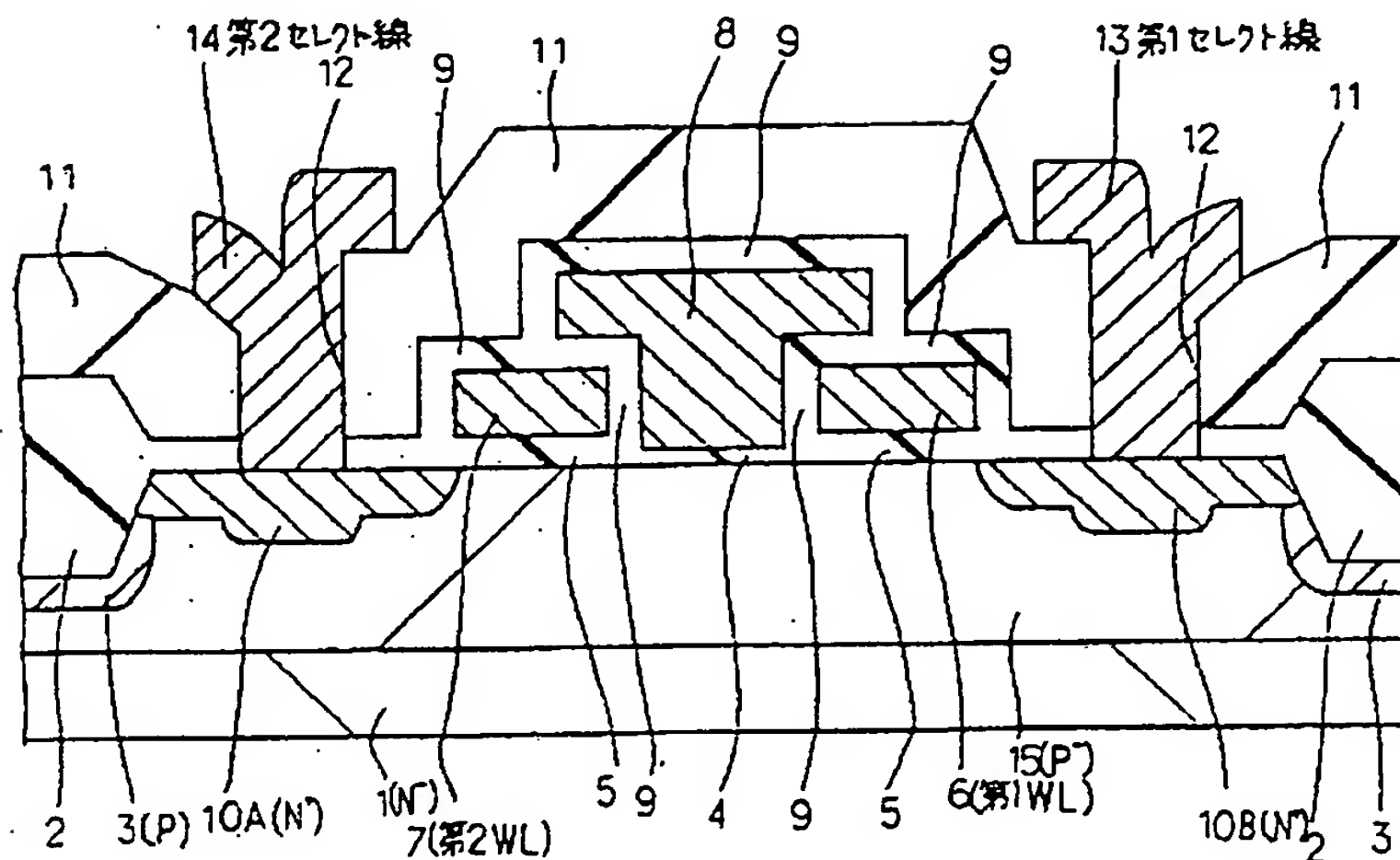
図中、4…第2ゲート絶縁膜、5…第1ゲート絶縁膜、6…第1ゲート電極、7…第2ゲート電極、8…フローティングゲート電極、9…薄い層間絶縁膜、10A、10B…N⁺半導体領域。

代理人 井理士 小川勝男

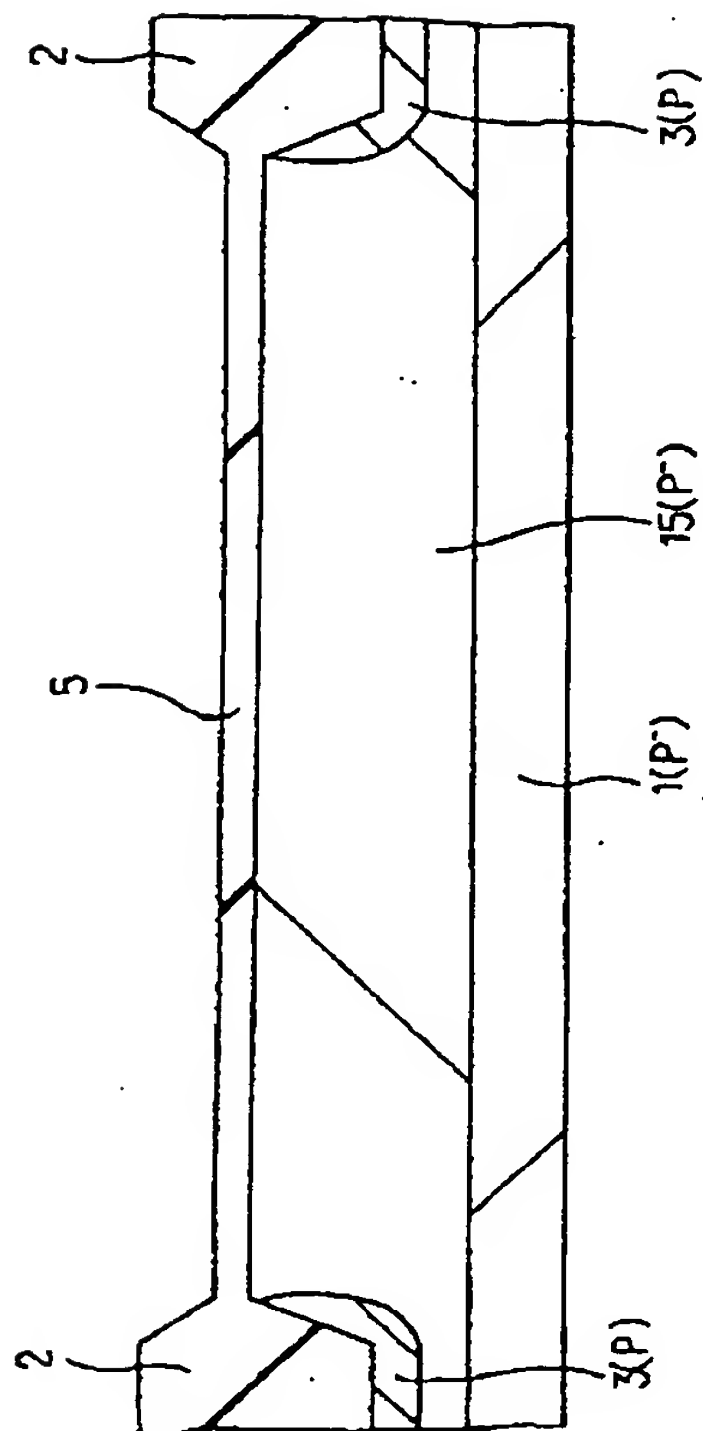
第1図



第2図

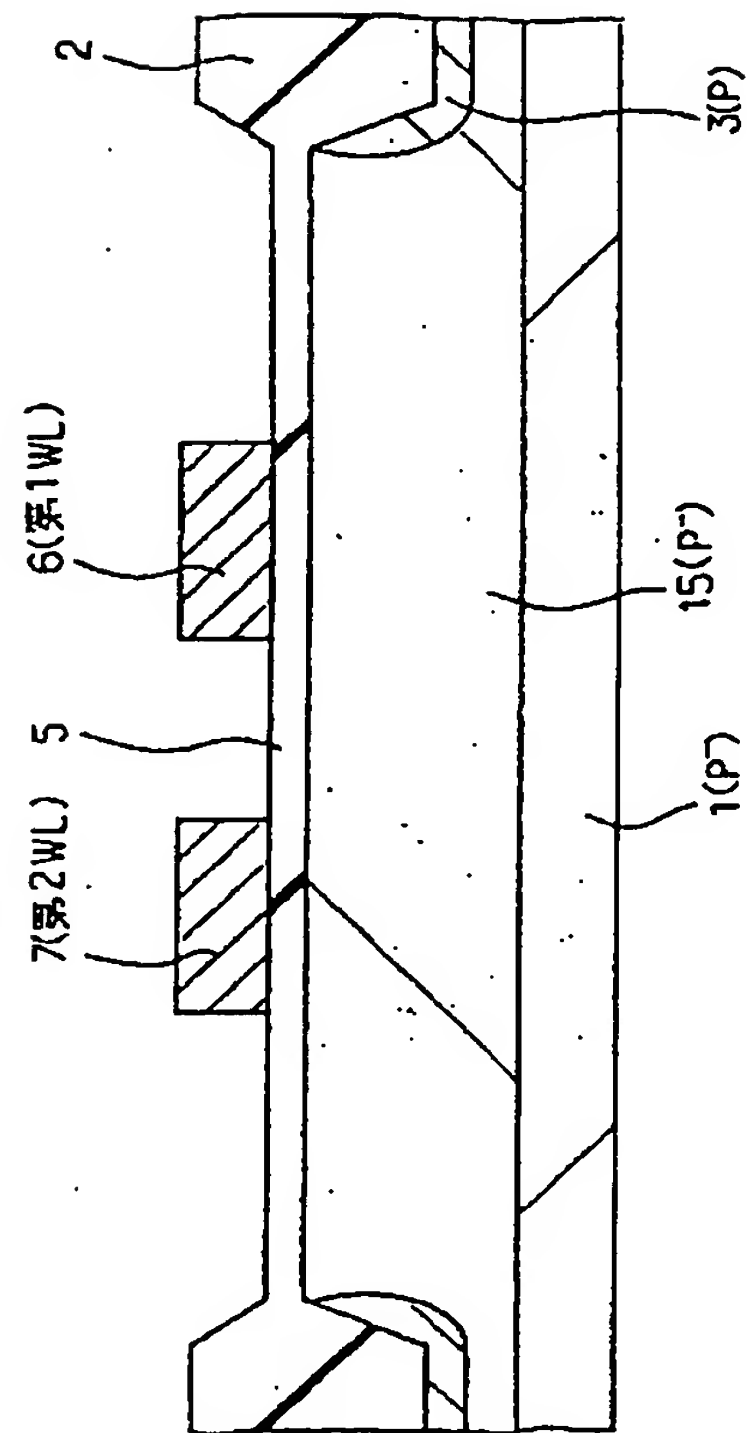


第3図

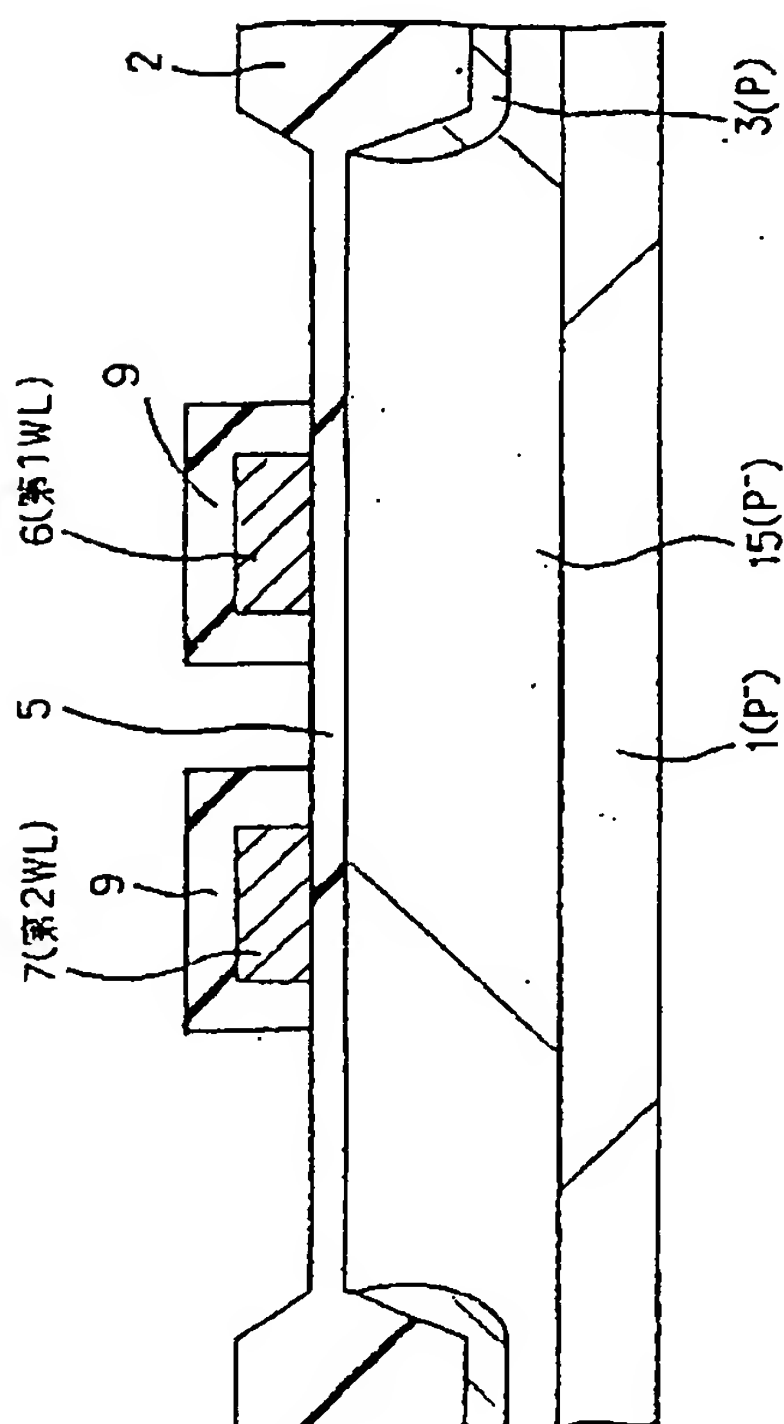


4---第2ゲート絶縁膜
5---第1ゲート絶縁膜
6---第1ゲート電極
7---第2ゲート電極
8---70-ナングゲート電極
9---薄い層間絶縁膜

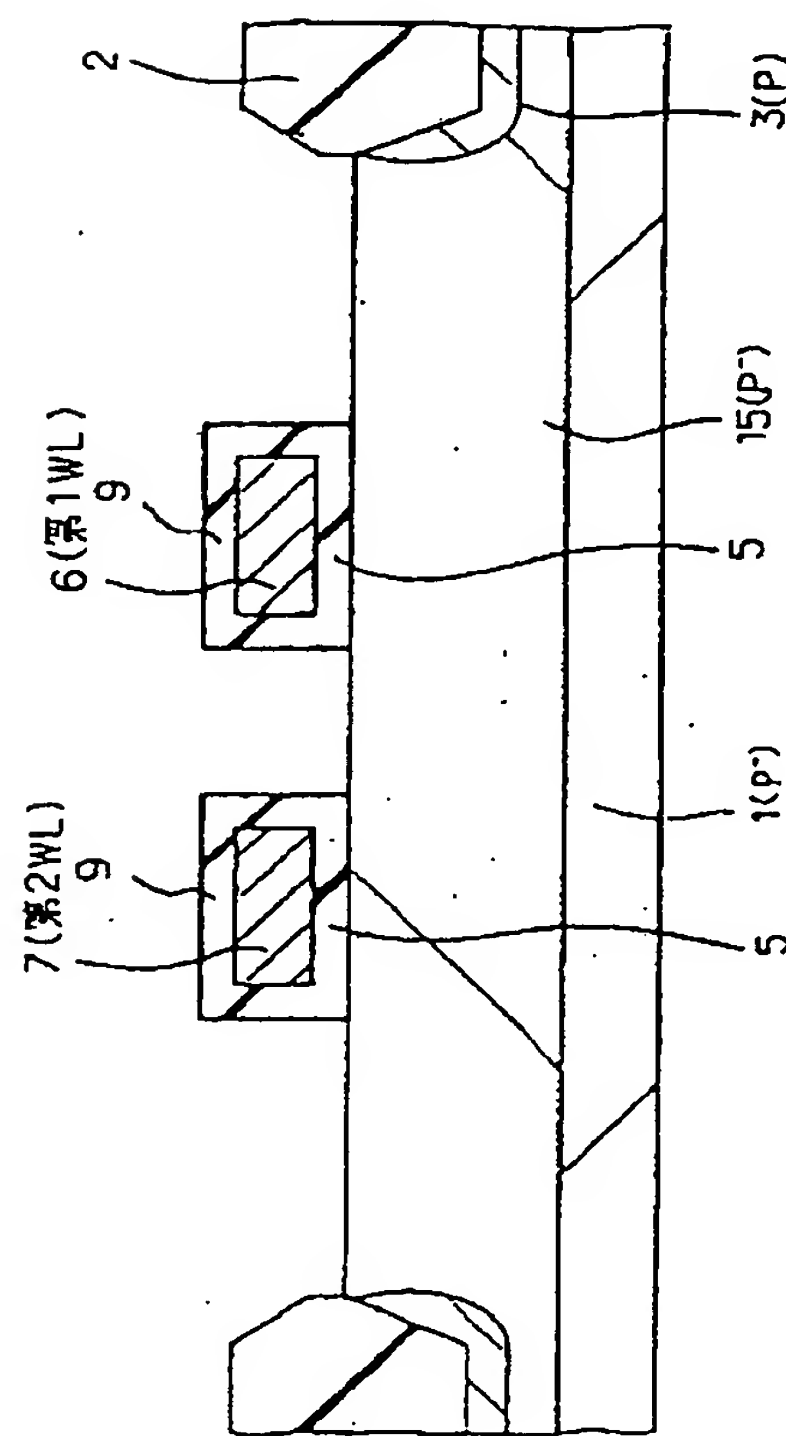
第4図



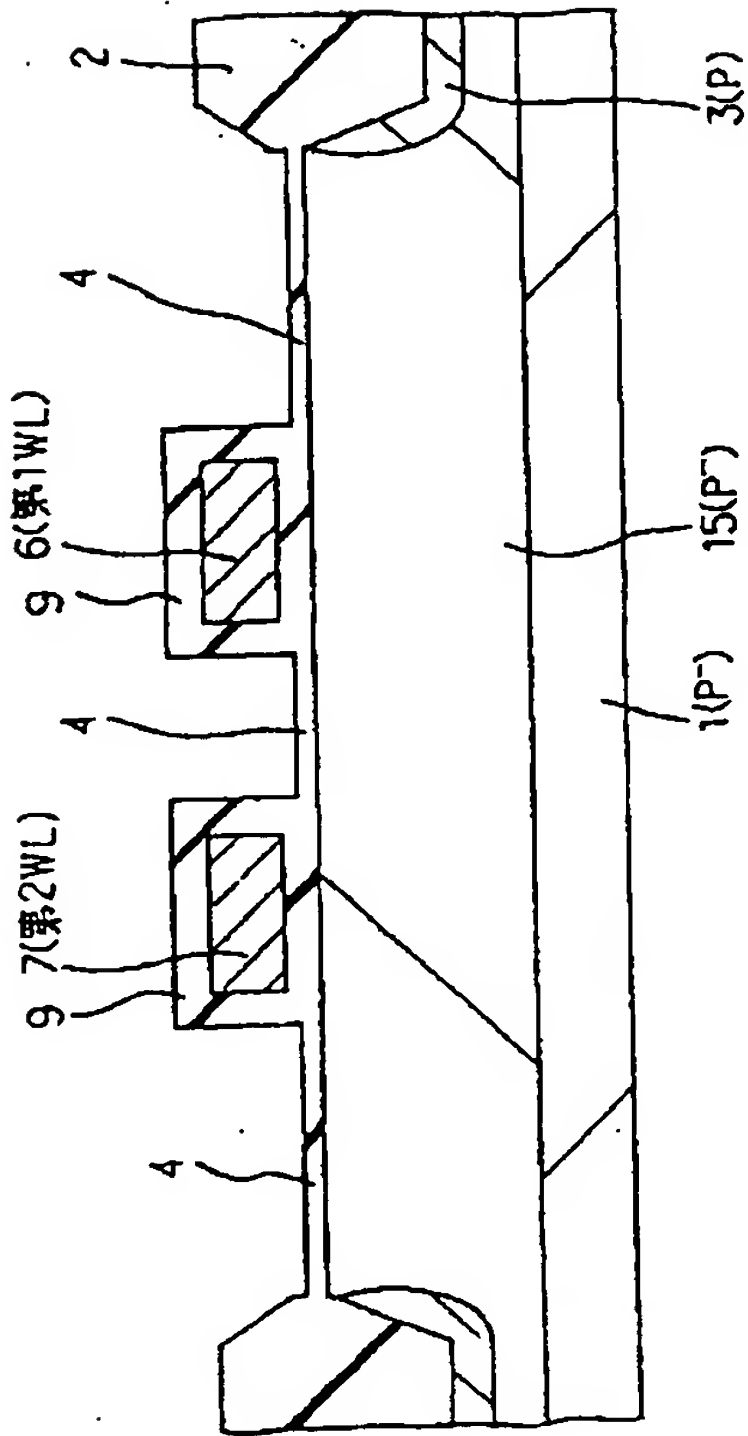
第5図



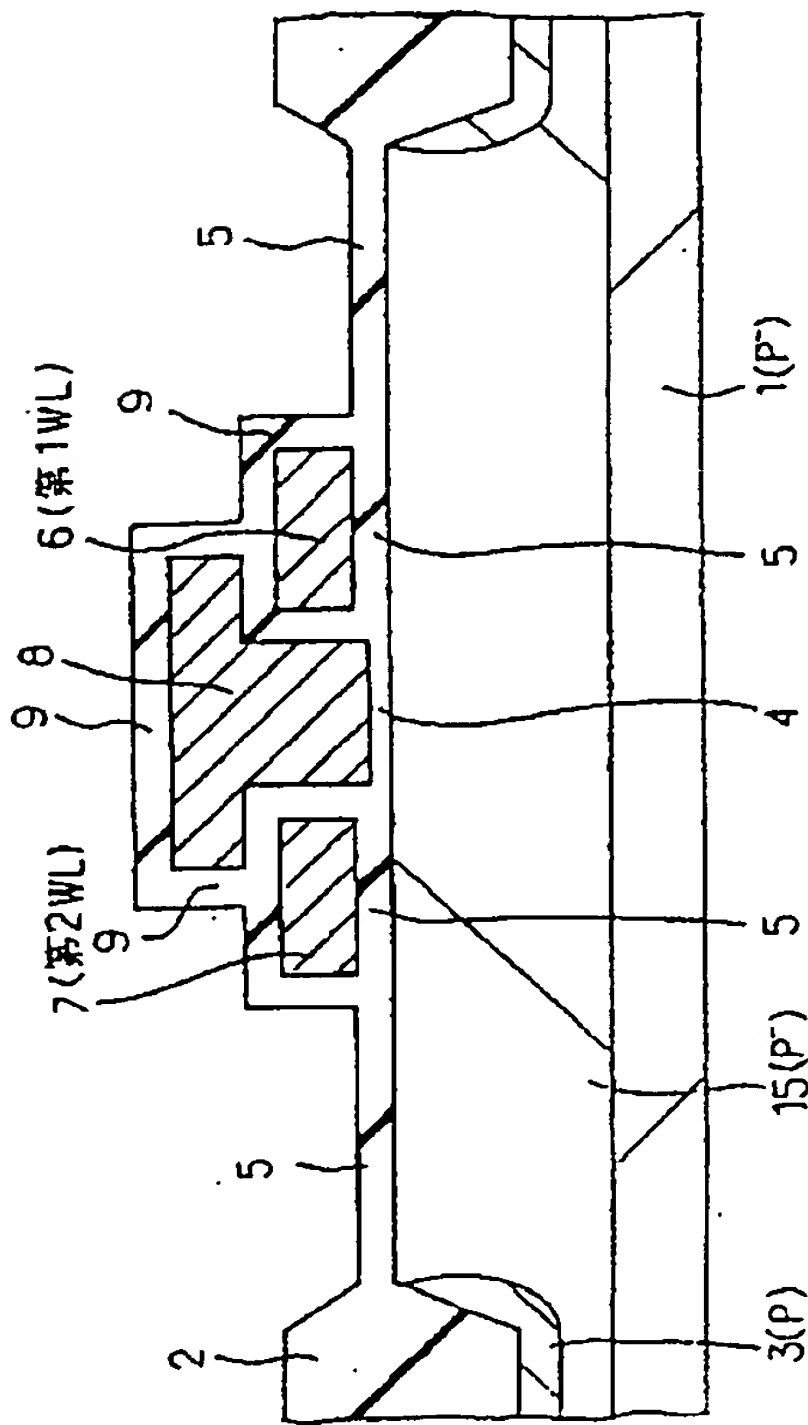
第6図



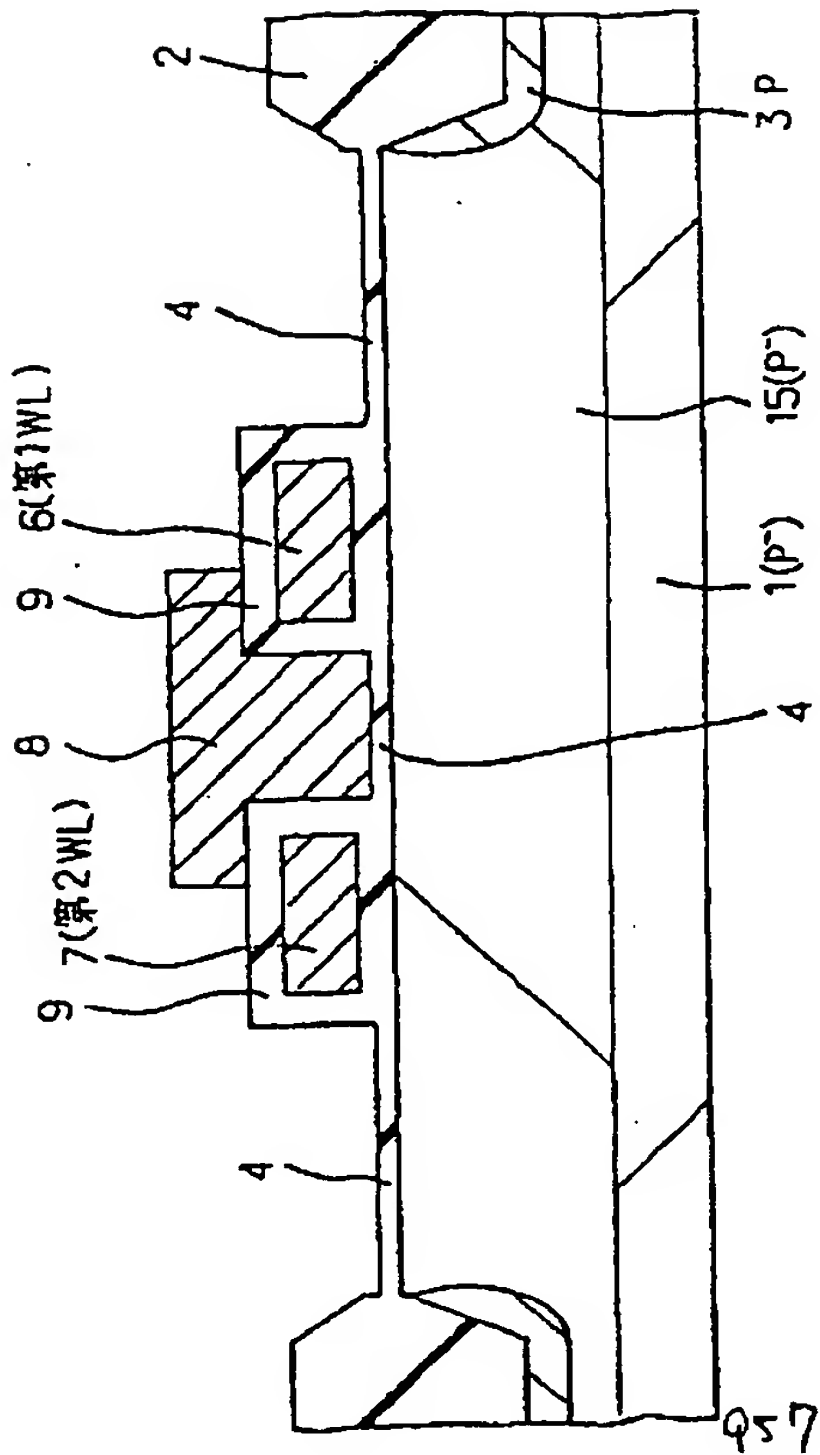
第 7 図



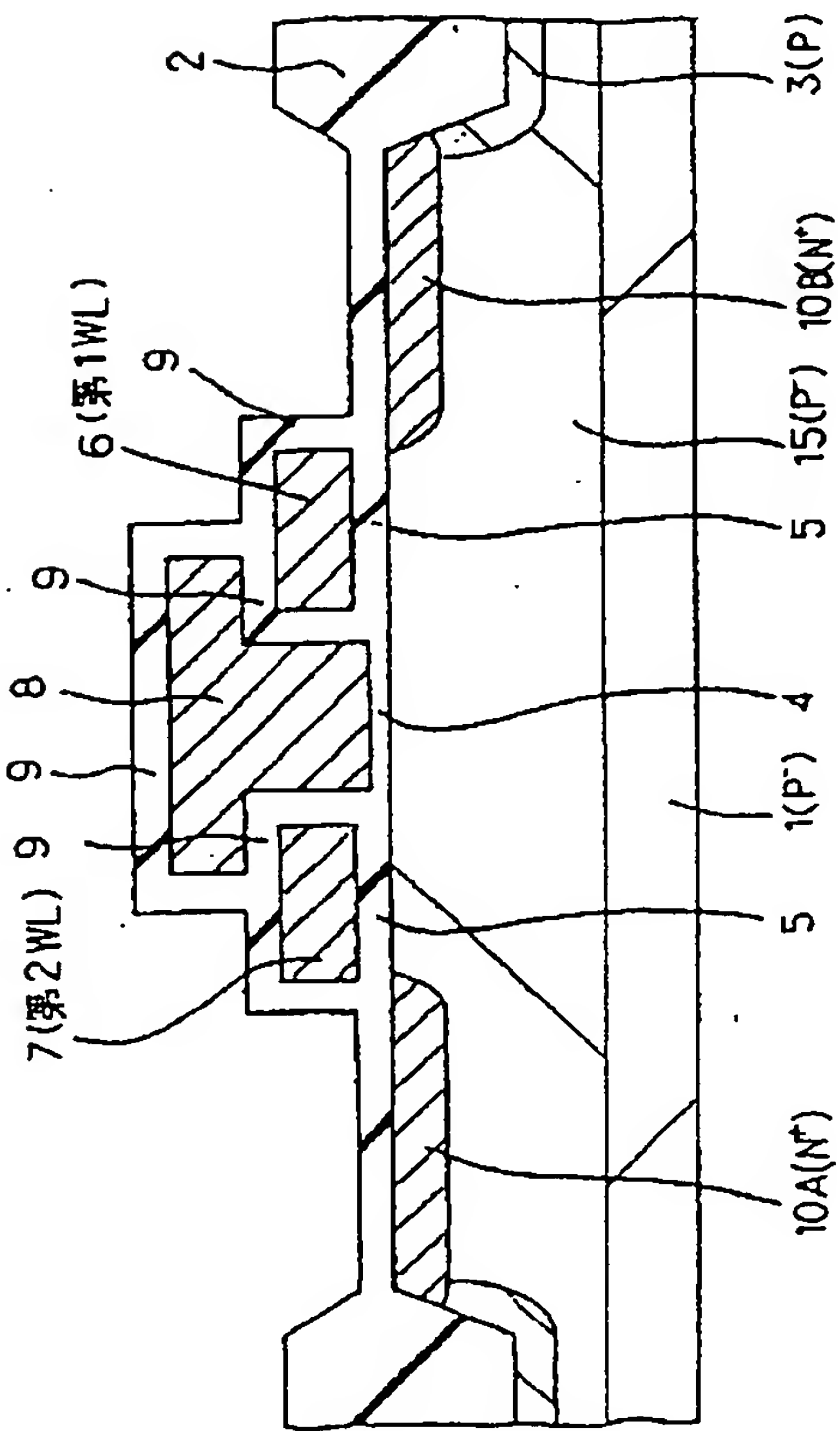
第 9 図



第 8 図



第10 図



第11 図

